

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68715

(P2000-68715A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl.<sup>7</sup>

H 0 1 P 5/08  
5/02

識別記号

6 0 3

F I

H 0 1 P 5/08  
5/02

テマコード\* (参考)

C  
6 0 3 D

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平10-234019

(22) 出願日 平成10年8月20日 (1998.8.20)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 楠本 拓也

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 佐柳 和也

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 田中 裕明

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

最終頁に続く

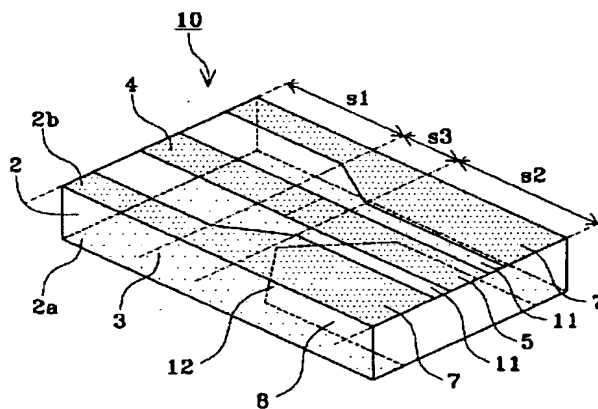
(54) 【発明の名称】 マイクロストリップ線路とコプレーナ線路の変換器およびそれを用いたパッケージ基板

(57) 【要約】

【課題】 不整合の生じにくいマイクロストリップ線路とコプレーナウェーブガイドの変換器を提供する。

【解決手段】 基板2の一方主面2aに第1の接地電極3を形成し、他方主面2bに第1の接地電極3と対向してなる第1の分布定数線路4と、第1の分布定数線路4と端部どうしを接続してなる第2の分布定数線路5と、第2の分布定数線路5の側縁に近接してなる第2の接地電極7をそれぞれ形成し、第1の分布定数線路4と第2の分布定数線路5の接続部において、第2の分布定数線路5の側縁と第2の接地電極7との間のギャップ6を、第2の分布定数線路5の位置から第1の分布定数線路4の方向に向かってテーパ状に広げて形成し、第1の接地電極3に、第1の分布定数線路4と対向する位置から第2の分布定数線路5と対向する位置に向かってテーパ状に広がる電極削除部12を設ける

【効果】 第1の分布定数線路からなるマイクロストリップ線路と第2の分布定数線路からなるコプレーナウェーブガイドとの間の不整合を防止することができる。



**【特許請求の範囲】**

**【請求項 1】** 基板の一方主面に第 1 の接地電極を形成し、前記基板の他方主面に前記第 1 の接地電極と対向してなる第 1 の分布定数線路と、該第 1 の分布定数線路と端部どうしを接続してなる第 2 の分布定数線路と、該第 2 の分布定数線路の側縁に近接してなる第 2 の接地電極をそれぞれ形成し、

前記第 1 の分布定数線路と前記第 2 の分布定数線路の接続部において、前記第 2 の分布定数線路の側縁と前記第 2 の接地電極との間のギャップを、前記第 2 の分布定数線路の位置から前記第 1 の分布定数線路の方向に向かってテーパ状に広げて形成するとともに、前記第 1 の接地電極に、前記第 1 の分布定数線路と対向する位置から前記第 2 の分布定数線路と対向する位置に向かってテーパ状に広がる電極削除部を設けたことを特徴とするマイクロストリップ線路とコプレーナ線路の変換器。

**【請求項 2】** 請求項 1 に記載のマイクロストリップ線路とコプレーナ線路の変換器を用いたことを特徴とするパッケージ基板。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、マイクロストリップ線路とコプレーナ線路（コプレーナウェーブガイド）の変換器およびそれを用いたパッケージ基板、特に高周波の信号を使用する電子装置用のパッケージ基板に用いられるマイクロストリップ線路とコプレーナ線路の変換器およびそれを用いたパッケージ基板に関する。

**【0002】**

**【従来の技術】** 近年の通信機器の小型化や使用周波数の高周波化にともなって、電子装置用のパッケージ基板に形成されたマイクロストリップ線路とコプレーナ線路の変換部の不整合が電子装置の高周波特性を劣化させる可能性が高くなってきていて、変換部の不整合の改善が必要となってきている。

**【0003】** 図 5 に、従来のマイクロストリップ線路とコプレーナ線路の変換器の透視斜視図を示す。また、図 6（a）に、図 5 に示したマイクロストリップ線路とコプレーナ線路の変換器の平面図を、図 6（b）に同じく底面図を示す。図 5 および図 6 に示したマイクロストリップ線路とコプレーナ線路の変換器 1 において、基板 2 の一方主面 2 a には第 1 の接地電極 3 が形成され、他方主面 2 b には第 1 の接地電極 3 と対向して第 1 の分布定数線路 4 が形成されている。また、基板 2 の他方主面 2 b には、第 1 の分布定数線路 4 と端部どうしを接続して第 2 の分布定数線路 5 が形成され、第 2 の分布定数線路 5 の側縁にギャップ 6 を介して近接して第 2 の接地電極 7 が形成されている。そして、基板 2 の一方主面 2 a の第 2 の分布定数線路 5 と対向する位置およびその周囲には、第 2 の分布定数線路 5 と第 1 の接地電極 3 の間で静電容量が形成されないように、第 1 の接地電極 3 の電極

削除部 8 が形成されている。また、第 1 の分布定数線路 4 の側縁と第 2 の接地電極 7 は、両者の間にできるだけ静電容量が形成されないようにギャップ 6 より十分大きく離隔して形成されている。

**【0004】** このように構成することによって、基板 2 は第 1 の分布定数線路 4 の形成された領域 s 1 と第 2 の分布定数線路 5 の形成された領域 s 2 の 2 つの領域に分けられる。ここで、領域 s 1 において第 1 の分布定数線路 4 は第 1 の接地電極 3 とともにマイクロストリップ線路として動作し、領域 s 2 において第 2 の分布定数線路 5 は第 2 の接地電極 7 とともにコプレーナ線路として動作する。そして、第 1 の分布定数線路 4 と第 2 の分布定数線路 5 の特性インピーダンスを一致させることによってマイクロストリップ線路とコプレーナ線路の変換器として機能する。

**【0005】**

**【発明が解決しようとする課題】** しかしながら、図 5 および図 6 に示したマイクロストリップ線路とコプレーナ線路の変換器 1 においては、マイクロストリップ線路として働く第 1 の分布定数線路 4 とコプレーナ線路として働く第 2 の分布定数線路 5 の接続部において局所的な浮遊容量が発生する。すなわち、接続部の近傍において、第 1 の分布定数線路 4 と第 2 の接地電極 7 との間に浮遊容量が形成され、また、第 2 の分布定数線路 5 と第 1 の接地電極 3 との間にも浮遊容量が形成される。そして、これらの浮遊容量はマイクロストリップ線路とコプレーナ線路の変換器の不整合の原因となるという問題がある。

**【0006】** 本発明は上記の問題点を解決することを目的とするもので、不整合の生じにくいマイクロストリップ線路とコプレーナ線路の変換器およびそれを用いたパッケージ基板を提供する。

**【0007】**

**【課題を解決するための手段】** 上記目的を達成するために、本発明のマイクロストリップ線路とコプレーナ線路の変換器は、基板の一方主面に第 1 の接地電極を形成し、前記基板の他方主面に前記第 1 の接地電極と対向してなる第 1 の分布定数線路と、該第 1 の分布定数線路と端部どうしを接続してなる第 2 の分布定数線路と、該第 2 の分布定数線路の側縁に近接してなる第 2 の接地電極をそれぞれ形成し、前記第 1 の分布定数線路と前記第 2 の分布定数線路の接続部において、前記第 2 の分布定数線路の側縁と前記第 2 の接地電極との間のギャップを、前記第 2 の分布定数線路の位置から前記第 1 の分布定数線路の方向に向かってテーパ状に広げて形成するとともに、前記第 1 の接地電極に、前記第 1 の分布定数線路と対向する位置から前記第 2 の分布定数線路と対向する位置に向かってテーパ状に広がる電極削除部を設けたことを特徴とする。

**【0008】** また、本発明のパッケージ基板は、上記の

マイクロストリップ線路とコプレーナ線路の変換器を用いて構成したことを特徴とする。

【0009】このように構成することにより、本発明のマイクロストリップ線路とコプレーナ線路の変換器によれば、変換部の不整合を小さくすることができる。

【0010】また、本発明のパッケージ基板によれば、高周波特性の劣化を防止し、ひいてはこれを用いた電子装置の高周波特性の劣化を防止することができる。

【0011】

【発明の実施の形態】図1に、本発明のマイクロストリップ線路とコプレーナ線路の変換器の一実施例の透視斜視図を示す。また、図2(a)に、図1に示したマイクロストリップ線路とコプレーナ線路の変換器の平面図を、図2(b)に同じく底面図を示す。図1および図2において、図5および図6と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0012】図1および図2に示したマイクロストリップ線路とコプレーナ線路の変換器10は、第1の分布定数線路4と第2の分布定数線路5の接続部において、第2の分布定数線路5の側縁と第2の接地電極7との間のギャップ11が、第2の分布定数線路5の位置から第1の分布定数線路4の方向に向かってテーパ状に広げて形成されている。また、おなじく第1の分布定数線路4と第2の分布定数線路5の接続部において、第1の接地電極3に、第1の分布定数線路4と対向する位置から第2の分布定数線路5と対向する位置に向かってテーパ状に広がる電極削除部12が設けられている。なお、ここで、第2の分布定数線路5の側縁と第2の接地電極7との間のギャップ11をテーパ状に広げたり、第1の接地電極3にテーパ状に広がる電極削除部12を設けた部分を領域s3とする。

【0013】このように領域s3を設けることによって、領域s3において、第1の分布定数線路4および第2の分布定数線路5と第1の接地電極3との間に形成される静電容量は、領域s1から領域s2の方に向かうに従って徐々に減少する。逆に、第1の分布定数線路4および第2の分布定数線路5と第2の接地電極7との間に形成される静電容量は、領域s3から領域s2の方に向かうに従って徐々に増加する。その結果、領域s3においては、第1の分布定数線路4や第2の分布定数線路5はマイクロストリップ線路の特徴とコプレーナ線路の特徴を併せ持ち、その特徴が一方から他方へ連続的に変化していることになる。

【0014】そのため、第1の分布定数線路4の位置から第2の分布定数線路5の方向に向かって、局所的に大きな浮遊容量はほとんど存在せず、第1の分布定数線路4および第2の分布定数線路5と第1の接地電極3および第2の接地電極7との間に形成される静電容量の合計はほとんど変化しない。その結果、第1の分布定数線路4と第2の分布定数線路5との間の不整合をほとんどな

くすることができ、不整合の小さいマイクロストリップ線路とコプレーナ線路の変換器を構成することができる。

【0015】図3に、本発明のマイクロストリップ線路とコプレーナ線路の変換器10の反射損失を示す。図3において、破線で示したx1は図5に示した従来のマイクロストリップ線路とコプレーナ線路の変換器1の反射損失を、実線で示したx2は図1に示した本発明のマイクロストリップ線路とコプレーナ線路10の変換器の反射損失を示している。ここで、反射損失は大きい方(図3では下の方)が不整合が少ないことを意味している。

【0016】図3より、従来のマイクロストリップ線路とコプレーナ線路の変換器1より本発明のマイクロストリップ線路とコプレーナ線路の変換器10の方が大きい反射損失を得ることができ、不整合を小さくできることが分かる。

【0017】なお、第1の接地電極3に形成する電極削除部12のテーパ状の形状や、第2の分布定数線路5の側縁と第2の接地電極7とのギャップ11がテーパ状に広がっている部分の形状は、図1および図2に示したような直線状に変化するものに限るものではなく、曲線状になっていたり、細かい階段状になっていたりしても構わないもので、同様の作用効果を奏するものである。

【0018】また、図1および図2の実施例においては、領域s3の中で、第2の分布定数線路5の側縁と第2の接地電極7との間のギャップ11のテーパ部分と、第1の接地電極3の電極削除部12のテーパ部分の、第1および第2の分布定数線路5および7の長手方向への長さが一致しているが、必ずしも一致していなければならないものではなく、いずれか一方のテーパ部分が長くなっても構わないもので、同様の作用効果を奏するものである。

【0019】また、図1および図2の実施例においては、第1の分布定数線路3と第2の分布定数線路5の幅が等しいものとしているが、必要に応じて両者の幅を変え、同時に領域s3の中において両者の幅がテーパ状に変化する部分を設けても構わないものである。このように構成することによって、第1の分布定数線路と第2の分布定数線路の幅が異なっている場合においても同様に不整合の小さいマイクロストリップ線路とコプレーナ線路の変換器を構成することができるものである。

【0020】図4に、本発明のパッケージ基板の一実施例を示す。ここで、図4(a)は平面図を、図4(b)は底面図を示している。

【0021】図4において、パッケージ基板20を構成する基板21の一方主面21aには第2の接地電極22が、他方主面21bには第1の接地電極23が形成されている。基板21の一方主面21aの端部には、第1の分布定数線路23と、それに端部どうしが接続された第

2の分布定数線路25が形成されている。基板21の他方主面21bにはビアパッド26が形成されている。そして、第2の分布定数線路25の一端とビアパッド26はビアホール27で接続されている。また、第1の分布定数線路24および第2の分布定数線路25の側縁と第2の接地電極22との間のギャップ28は、第2の分布定数線路25と第1の分布定数線路24との接続部において、第2の分布定数線路25の位置から第1の分布定数線路24の方向に向かってテーパ状に広がって形成されている。また、おなじく第2の分布定数線路25と第1の分布定数線路24との接続部において、第1の接地電極23には、第1の分布定数線路24と対向する位置から第2の分布定数線路25と対向する位置に向かってテーパ状に広がる電極削除部29と、さらにビアパッド26を包み込んで電極削除部30が形成されている。ここで、第1の分布定数線路24と第2の分布定数線路25の接続部は、図1に示した本発明のマイクロストリップ線路とコプレーナ線路の変換器と同じ構造になっている。

【0022】このように構成されたパッケージ基板20において、基板21の他方主面21bの第2の接地電極23の上に集積回路（図示せず）などを搭載し、その出力用のボンディングパッド（図示せず）とビアパッド26をボンディングワイヤー（図示せず）で接続して電子装置を構成する。このとき、高周波の信号は集積回路からビアパッド26とビアホール27と第2の分布定数線路25を順に介して第1の分布定数線路24へと流れることになる。

【0023】このように構成したパッケージ基板20においては、第1の分布定数線路24と第2の分布定数線路25との間の不整合が小さくなるため、パッケージ基板20の高周波特性の劣化を防止し、ひいてはこれを用いた電子装置の高周波特性の劣化を防止することができる。

【0024】

【発明の効果】本発明のマイクロストリップ線路とコプレーナ線路の変換器によれば、基板の一方主面に第1の接地電極を形成し、他方主面に第1の接地電極と対向してなる第1の分布定数線路と、第1の分布定数線路と端部どうしを接続してなる第2の分布定数線路と、第2の分布定数線路の側縁に近接してなる第2の接地電極をそ

れぞれ形成し、第1の分布定数線路と第2の分布定数線路の接続部において、第2の分布定数線路の側縁と第2の接地電極との間のギャップを、第2の分布定数線路の位置から第1の分布定数線路の方向に向かってテーパ状に広げて形成し、第1の接地電極に、第1の分布定数線路と対向する位置から第2の分布定数線路と対向する位置に向かってテーパ状に広がる電極削除部を設けることによって、第1の分布定数線路と第2の分布定数線路との間の不整合を防止することができる。

【0025】また、本発明のパッケージ基板によれば、本発明のマイクロストリップ線路とコプレーナ線路の変換器を用いることによって、高周波特性の劣化を防止し、ひいてはこれを用いた電子装置の高周波特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】本発明のマイクロストリップ線路とコプレーナ線路の変換器の一実施例の透視斜視図である。

【図2】図1のマイクロストリップ線路とコプレーナ線路の変換器の平面図である。

【図3】図1のマイクロストリップ線路とコプレーナ線路の変換器の反射損失を示す図である。

【図4】本発明のパッケージ基板の一実施例を示す断面図である。

【図5】従来のマイクロストリップ線路とコプレーナ線路の変換器の透視斜視図である。

【図6】図5のマイクロストリップ線路とコプレーナ線路の変換器の平面図である。

【符号の説明】

2…基板

2a…一方主面

2b…他方主面

3…第1の接地電極

4…第1の分布定数線路

5…第2の分布定数線路

7…第2の接地電極

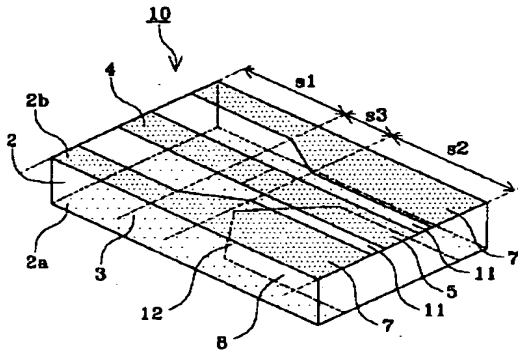
8、12…電極削除部

10…マイクロストリップ線路とコプレーナ線路の変換器

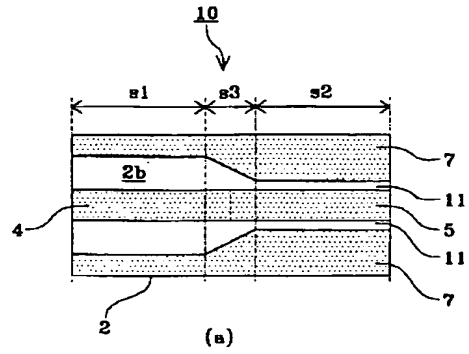
11…ギャップ

20…パッケージ基板

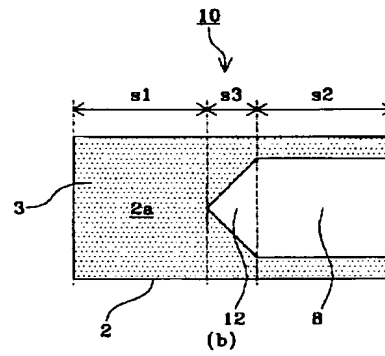
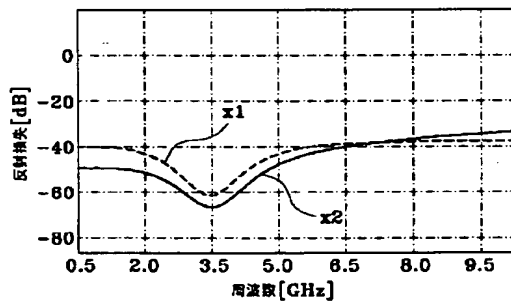
【図1】



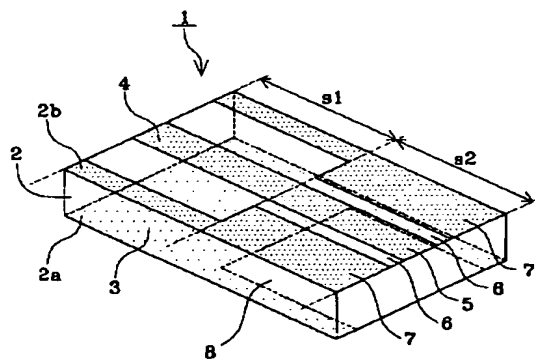
【図2】



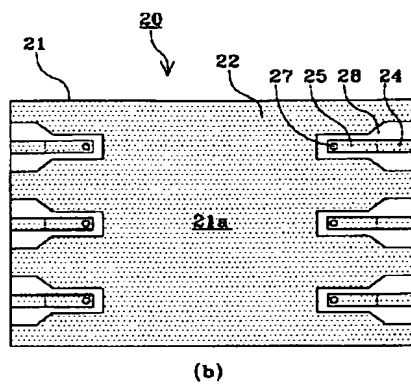
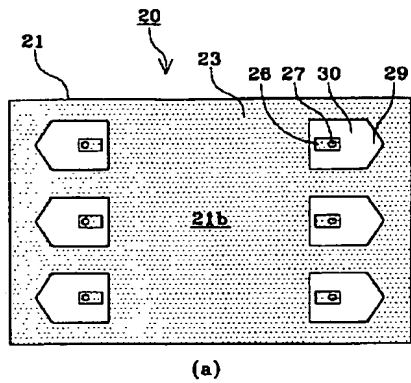
【図3】



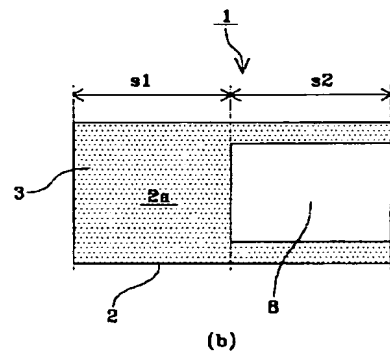
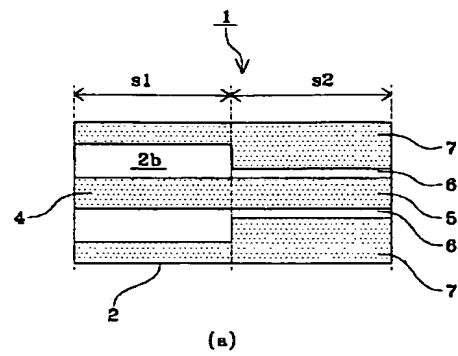
【図5】



【図4】



【図6】



フロントページの続き

(72) 発明者 高井 努

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内